

DIALOG(R)File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

02271200

WRITING METHOD FOR PROGRAMMABLE ROM OF ULTRAVIOLET-RAY ERASE TYPE

PUB. NO.: 62-188100 A]
PUBLISHED: August 17, 1987 (19870817)
INVENTOR(s): KOYAMA TOSHIHIRO
TAWARA TSUGIO
APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 61-031125 [JP 8631125]
FILED: February 13, 1986 (19860213)
INTL CLASS: [4] G11C-017/00; G11C-029/00
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
(ELECTRONICS -- Solid State Components)
JOURNAL: Section: P, Section No. 663, Vol. 12, No. 42, Pg. 89,
February 06, 1988 (19880206)

ABSTRACT

PURPOSE: To obtain a writing method fitted for a pre-processing of a storage characteristic test, by inputting write data of plural number of bits en masses, and arranging the threshold voltage at a regulated level in a repeated process of a rewrite until a readout becomes possible.

CONSTITUTION: At the time of a write data signal D(sub 1) of '0' is inputted to a data pin 111, a data signal 101a is written by a write signal 4 on a bit set with an address signal 3. Afterwards, a readout data signal 11a is outputted with a readout signal 5, and an EOR circuit 51 decides a coincidence with the signal 101a, and the rewrite is repeated until the coincidence can be obtained. In case the coincidence is obtained, the output of an OR circuit 101 is changed, and a signal 101a of '1' is rewritten on the same bit. After that, the rewrite is performed until decision for all of the bits in circuits 3(sub 1)-3(sub n) coincide. Since the threshold value voltage is not changed by writing '1', the threshold value voltage can be arranged at the regulated level.

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭62-188100

⑬ Int. Cl.⁴G 11 C 17/00
29/00

識別記号

3 0 9
3 0 3

庁内整理番号

6549-5B
F-7737-5B

⑭ 公開 昭和62年(1987)8月17日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 紫外線消去型プログラマブルROMの書込方法

⑯ 特 願 昭61-31125

⑰ 出 願 昭61(1986)2月13日

⑱ 発 明 者 小 山 利 弘 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所
内⑲ 発 明 者 田 原 次 夫 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所
内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

紫外線消去型プログラマブルROMの書込方法

2. 特許請求の範囲

複数のビットごとにデータを一括書込するような紫外線消去型プログラマブルROMの書込方法であって、

複数のビット分の書込データを一括入力して前記複数のビットに一括書込し、

前記各ビットに書込まれたデータを読出し、

この読出されたデータと前記一括入力される書込データとの一致を判定して、書込データを書込んだビットのうちに所定しきい値電圧に到達したビットがあるか否かを検出し、

前記読出されたデータと前記一括入力される書込データとが一致したビットに対しては、その後前記書込データ0を1に変更して書込むようにし、

前記読出されたデータと前記一括入力される書込データとが一致しないビットに対しては前記書込データ0のままで書込むようにする紫外線消去

型プログラマブルROMの書込方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は紫外線消去型プログラマブルROM(以下EPROMと記す)の書込方法に関し、特に書込データ0を書込むべきビットのしきい値電圧を判定値以上の一定レベルに達させることができる書込方法に関するものである。

〔従来の技術〕

第5図は従来のEPROMの書込方法のフローチャートである。

このEPROMは、アドレスが複数のビットで構成されており、消去状態が1、書込状態が0である。

この書込方法について説明すると、まず、ステップS1で初期アドレスの設定を行なう。次に、ステップS2でループ回数Nを1にする。次に、ステップS3で設定された初期アドレスの各ビットに一定時間の1パルスを書込むことによって0または1の書込データの書込を行なう。次に、ス

ステップS4でアドレスのすべてのビットについて書込まれたデータの読出が可能か否かを判定する。このとき、該当ビットについて、書込データが0ならばそのしきい値電圧が判定値以上のレベルに到達した状態のとき、また書込データが1ならばそのしきい値電圧が判定値以下の一定レベルになった状態（これらの状態をパス状態という）のとき、ビットに書込まれたデータの読出が可能となる。アドレスのビットのうちのいずれかのビットが読出不可能な場合は、ステップS5でこのビットについてループ回数Nがループ制限値Lに等しいか否かが判定される。ループ回数Nがループ制限値Lに等しくない場合には、ステップS6でN-2となり、ステップ3に戻って書込データの再書込が行なわれる。以後、ステップS4で書込まれたデータの読出が可能となるまでループ回数Nを順次1ずつ増加させながらステップS3、ステップS4、ステップS5、ステップS6のサイクルを繰返す。このサイクルにおいて、ループ回数Nがループ制限値Lに等しくなった場合にはステ

ップS7でEPROMへの書込の不良表示がなされ、以後再書込は行切られる。アドレスのすべてのビットが読出可能な場合には、ステップS8でアドレスが最終アドレスであるか否かが判定される。最終アドレスである場合には、EPROMの書込は終了し、最終アドレスでない場合には、ステップS9で次のアドレスに設定され、ステップS2に戻って次のアドレスの書込、読出へと続く。

このように、1アドレスごとに一定時間の1パルスの書込と読出を、アドレスのすべてのビットがパス状態となるかまたはループ回数Nがループ制限値Lになるかまで繰返し、このサイクルを最終アドレスまで実行することによって、書込データが1アドレス単位でビットに書まれる。

第6図はEPROMのビットに従来の書込方法で書込データ0を書込む場合の書込特性を示す図である。図において、書込データ0を書込んだビットのしきい値電圧は書込時間に比例して高くなっている。ここで、ビットのしきい値電圧が判定値のレベルに到達するのに必要な書込時間はEP

ROMの製造時のばらつきによってビットごと異なる。

第7図はEPROMのビットに従来の書込方法で書込データ1を書込む場合の書込特性を示す図である。図において、書込データ1を書込んだビットのしきい値電圧は書込時間に対して変化しない。

【発明が解決しようとする問題点】

従来のEPROMは以上のような方法で書込が行なわれるが、第8図に示すように書込データ0を書込んだビットのしきい値電圧は書込時間に比例するので、同一アドレス内のビットのうちに書込データ0を書込み難いビットがある場合には、ステップS3、ステップS4、ステップS5、ステップS6からなるサイクルを何度も繰返して長時間再書込を行なうので、書込データ0を書込やすいビットのしきい値電圧は書込難いビットのしきい値電圧に比べて十分高くなってしまふ。

第8図はこの様子を示したものであり、書込データ0を書込んだビットのしきい値電圧にばらつ

きが生じており、書込ビット数が少ないほどばらつきが大きくなっている。このため、従来の書込方法は、高温保存や高温動作などの記憶保持特性試験における前処理としての書込には適さないなどの問題点があった。

この発明は上記のような問題点を解消するためになされたもので、書込データ0を書込むべきビットのしきい値電圧を判定値以上の一定レベルに揃えることができるEPROMの書込方法を得ることを目的とする。

【問題点を解決するための手段】

この発明に係るEPROMの書込方法は、複数ビット分の書込データを一括入力して複数ビットに一括書込し、各ビットに書込まれたデータを読出し、この読出されたデータと一括入力される書込データとの一致を判定して、書込データ0を書込んだビットのうちに所定しきい値電圧に到達したビットがあるかどうかを検出し、読出されたデータと一括入力される書込データとが一致したビットに対しては、その後書込データ0を1に変更

して書込むようにし、読出されたデータと一括入力される書込データとが一致しないビットに対しては書込データ0のままで書込むようにする方法である。

【作用】

この発明はビットに書込データ1を回込んでもそのしきい値電圧が変化しない書込特性を利用したものである。すなわち、書込データ0を書込んだビットのうちに所定しきい値電圧に到達したビットがある場合には、その後このビットについては書込データを変更して1を、同一アドレス内のまだ所定しきい値電圧に到達していない他のビットについてはそのまま書込データ0を一括再書込するようにしたので、上記他のビットについては一括再書込によりそのしきい値電圧は上がるが、上記所定しきい値電圧に到達したビットのしきい値電圧は一括再書込により変化しない。

【実施例】

以下、この発明の実施例を図について説明する。なお、この実施例の説明において、従来の技術の

データを0から1に変更し、次にステップS6でループ回数Nを1増加させ、次にステップS3に戻って各ビットに一定時間のパルスを書込むことによって0または1のデータの書込を行なう。以後、ステップS4でアドレスのすべてのビットがバス状態となるまでループ回数Nを順次1ずつ増加させながらステップS3～ステップS5、ステップS51～ステップS53、ステップS6のサイクルを繰返す。さらに、ステップS9で次のアドレスに設定されると同時に、ステップS52で記憶されたバス状態のビット情報はステップS10でクリアされる。

このように、1アドレスごとに一定時間の1パルスの書込と読出を、アドレスのすべてのビットがバス状態となるかまたはループ回数Nがループ制限値Lになるまで繰返し、ステップS3～ステップS5、ステップS51～ステップS53、ステップS6からなるサイクルを所定アドレスまで実行することによって書込データが1アドレス単位でビットに書込まれる。

説明と重複する部分については適宜その説明を省略する。

第1図はこの発明の実施例であるEPROMの書込方法のフローチャートである。このフローチャートが第5図のフローチャートと異なる点は以下の点である。すなわち、ステップS5とステップS6との間にステップS51、ステップS52、ステップS53が、さらにステップS9の後にステップS10が追加された点である。すなわち、ループ回数Nがループ制限値Lに等しくない場合には、ステップS51で設定されたアドレスのビットの中にバス状態のビットがあるか否かが判定される。バス状態のビットがない場合には、ステップS6でループ回数Nを1増加させ、ステップS3に戻って各ビットに一定時間の1パルスを書込むことによって0または1の書込データの書込を行なう。バス状態のビットがある場合には、ステップS52でバス状態のビット情報を記憶し、次にステップS53でバス状態のビットのうち書込データ0を書込んだビットについて以後書込デ

第2図は第1図の書込方法を外部回路で実現した例を示す回路図である。この構成について説明すると、EPROM1にアドレス信号線3、書込信号線4、読出信号線5が接続されており、各信号線にそれぞれアドレス信号、書込信号、読出信号が与えられる。EPROM1の各アドレスはn個のビットから構成されており、このn個のビットに対応してn個のドライバ・コンパレータ回路31～3nが設けられている。EPROM1はn本のデータ信号線2により各ドライバ・コンパレータ回路31～3nに接続されており、各ドライバ・コンパレータ回路31～3nはn本のビットバス信号線12によりNAND回路13に接続されている。NAND回路13はアドレスバス信号線14に接続されている。

ドライバ・コンパレータ回路31について詳細に説明すると、データピン111に書込データ信号D1が入力される。データピン111はOR回路101の一方の入力端、ゲート41を介してデータ信号線21に接続されている。ゲート41に

コントロール信号線6が接続されており、このコントロール信号線にドライバ・イネーブル信号が与えられる。ゲート41はドライバ・イネーブル信号によりそのオン・オフが制御される。OR回路101の出力側とゲート41の入力側との接続点はEOR回路51の一方の入力側に接続されており、ゲート41の出力側はEOR回路51の他方の入力側に接続されている。EOR回路51はOR回路101からのデータ信号101aとEPROM1から読出された読出データ信号11aとの一致を判定する。すなわち、データが書込まれたビットのしきい値電圧がバス状態になって書込むべきデータが読出可能であるか否かを判定する。EOR回路51の出力側はOR回路61の一方の入力側に接続されている。OR回路61の他方の入力側にコントロール信号線7が接続されており、このコントロール信号線にストローブ信号が与えられる。OR回路61はストローブ信号によりEOR回路51からの判定結果を取込む。NAND回路81とNAND回路91とはフリップフロ

ブ回路71を構成する。OR回路61の出力側はNAND回路81の一方の入力側に接続され、NAND回路81の他方の出力側はNAND回路91の出力側に接続されている。NAND回路91の一方の入力側はNAND回路81の出力側およびOR回路101の他方の入力側に接続されている。NAND回路91の他方の入力側にコントロール信号線8が接続されており、このコントロール信号線にクリア信号が与えられる。フリップフロップ回路71はOR回路61出力のうち、バス状態に対応する信号を記憶する。OR回路101は、フリップフロップ回路71出力がバス状態に対応しているとき書込データD1を0から1に変える。フリップフロップ回路71に記憶されたバス状態に対応する信号はクリア信号によりクリアされる。OR回路101の他方の入力側とNAND回路81の出力側との接続点はビットバス信号線121によりNAND回路13の入力側に接続されている。また、他のドライバ・コンパレータ回路3nなどについてもドライバ・コンパレータ

回路31と同様に構成されており、たとえばドライバ・コンパレータ回路3nについて、4nはゲート、10nはOR回路、8nはNAND回路であり、データピン11nに書込データ信号Dnが入力される。NAND回路13は、ドライバ・コンパレータ回路31~3nの各フリップフロップ回路出力がすべてバス状態に対応し、アドレスのすべてのビットについて書込むべきデータの読出が可能であるとき、アドレスバス信号線14にローレベルのアドレスバス信号を出力する。

第3図は第2図の回路の動作を説明するためのタイミングチャートである。

次に、第2図の回路による書込方法を第3図を参照しながら説明する。データピン111に0の書込データ信号D1が入力され、OR回路101から0のデータ信号101aが出力されているとする。この0のデータ信号101aはゲート41に与えられ、ドライバ・イネーブル信号がローレベルとなり、書込信号がローレベルとなってEPROM1の設定されたアドレスのビットに一定時

間の1パルスを書込むことによって0のデータ信号101aが書込まれる。この後、読出信号がローレベルとなってEPROM1から読出データ信号11aが出力される。このとき、まだビットのしきい値電圧はバス状態になっていないので読出データ信号11aは1となる。EOR回路51は0のデータ信号101aと読出データ信号11aとの一致を判定してハイレベルのビット判定信号51aを出力する。この後、ストローブ信号がローレベルとなってOR回路61はハイレベルのビット判定信号51aを取込み、OR回路61からハイレベルのビット信号61aが出力される。このとき、クリア信号はハイレベルになっているので、フリップフロップ回路71からローレベルのビットバス信号が出力される。次に、まだ書込データ0の読出が可能でないでOR回路101出力は変化せず0のデータ信号101aが出力され、この0のデータ信号101aが同一ビットに再書込される。0のデータ信号101aの再書込、データ信号101aと読出データ信号11aとの一

致の判定などからなるサイクル動作は0の読出データ信号11aが出力されるまで、すなわちビットのしきい値電圧がパス状態になるまで何回も繰返される。但し、ループ回数Nがループ制限値Lになった場合にはEPROM1への書込の不良表示がなされ、以後0のデータ信号101aの再書込が打ち切られる。再書込によって、データ信号101aと読出データ信号11aとが一致して0を書込むべきビットのしきい値電圧がパス状態になったとき(第3図において3パルス目でパス状態)、EOR回路51はローレベルのビット判定信号51aを出力する。この後、ストローブ信号がローレベルになってOR回路81はローレベルのビット判定信号51aを取込み、OR回路61からローレベルのビット信号61aが出力される。このとき、クリア信号はハイレベルになっているので、ローレベルのビット信号61aはフリップフロップ回路71に記憶され、フリップフロップ回路71からハイレベルのビットバス信号81aが出力される。次に、既に書込データ0の読出が可能で

場合はもちろん1の書込データ信号を書込むべきビットのしきい値電圧は判定値以下の一定レベルのままに保持される。

以上のような書込動作は残りのドライバ・コンパレータ回路3n等についてもドライバ・コンパレータ回路31の書込動作と並列に行なわれ、同一アドレス内の各ビットに0または1の書込データ信号が書込まれる。そして、同一アドレス内のすべてのビットのしきい値電圧がパス状態となったときアドレスのすべてのビットの読出が可能となり、各ドライバ・コンパレータ回路からのビットバス信号81a~8nはすべてハイレベルとなって、NAND回路13からローレベルのアドレスバス信号がアドレスバス信号線14に出力され次のアドレスが設定される。このとき、クリア信号がローレベルになってフリップフロップ回路71に記憶されたパス状態のビット信号61aはクリアされ、フリップフロップ回路71出力はローレベルとなって次のアドレスの書込へと続いていく。

あるのでOR回路101出力は変化して1のデータ信号101aが出力され、この1のデータ信号101aが同一ビットに再書込される。この後、EPROM1から0の読出データ信号11aが出力され、ビット判定信号51aはハイレベル、ビット信号61aはハイレベルとなり、ビットバス信号81aがハイレベルのままOR回路101出力は変化せず、1のデータ信号101aが同一ビットに再書込される。以後、OR回路101からは1のデータ信号101aが出力されビットに1が書込まれ続けるが、ビットに1のデータ信号を書込んでみてもビットのしきい値電圧の上昇は起こらないので、0の書込データ信号を書込むべきビットのしきい値電圧はほぼ最初のパス状態の一定レベルに保持され変化しない。

また、データピン111から1の書込データ01が入力される場合についても、0の書込データ信号01を書込む場合と同様、ビットがパスの状態となった後も他のビットがすべてパス状態になるまで1のデータ信号が書込み続けられる。この

第4図はこの書込方法で書込データ0を書込む場合のビットのしきい値電圧の分布を書込ビット数に対して示したもので、各ビットのしきい値電圧は書込ビット数の多少にかかわらずほぼ判定値のレベルに揃っておりばらつきが少ない。

このように、この発明においては0の書込データを書込むべきビットについては、パス状態になった後は書込データを0から1に変更して書込むようにしているので、アドレス単位で複数のビット一括再書込が繰返されても、書込データ0を書込むべきビットのしきい値電圧はほぼ判定値以上の一定レベルに、書込データ1を書込むべきビットのしきい値電圧は判定値以下の一定レベルに揃うことになる。

なお、上記実施例では、この発明の書込方法を第2図の外部回路で実現した場合について説明したが、同様な外部回路、またはデバイスの内部回路、またはソフトウェアで実現してもよく、これらの場合にも上記実施例と同様の効果を奏する。

〔発明の効果〕

以上のようにこの発明によれば、複数ビット分の書込データを複数ビットに一括書込し、読出されたデータと書込データとの一致を判定して、書込データ0を書込んだビットのうちに所定しきい値電圧に到達したビットがあるか否かを検出し、読出されたデータと書込データとが一致したビットに対しては、その後書込データを0から1に変更して書込むようにし、読出されたデータと書込データとが一致しないビットに対しては書込データ0のまま書込むようにするので、書込データ0を書込むべきビットのしきい値電圧を判定値以上の一定レベルに達することができるEPRROMの書込方法を得ることができる。このため、高価保存や高価動作などの記憶保持特性試験における前処理としての書込に通ずる。

4. 図面の簡単な説明

第1図はこの発明の実施例であるEPRROMの書込方法のフローチャートである。

第2図は第1図の書込方法を外部回路で実現した例を示す回路図である。

101、10nはOR回路、71はフリップフロップ回路、81、8n、91、13はNAND回路である。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

第3図は第2図の回路の動作を説明するためのタイミングチャートである。

第4図はこの発明の書込方法で書込データ0を書込む場合のビットのしきい値電圧の分布を書込ビット数に対して示す図である。

第5図は従来のEPRROMの書込方法のフローチャートである。

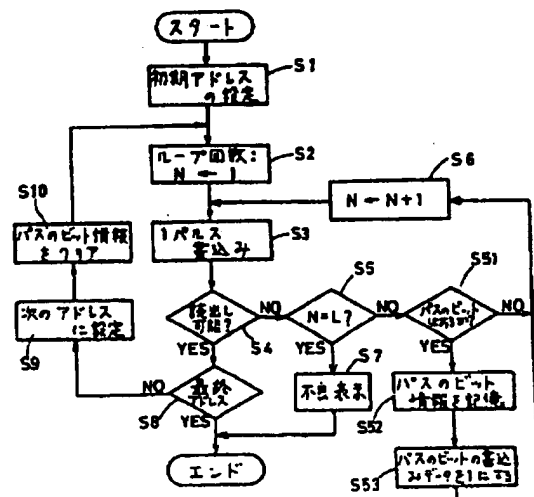
第6図は従来の書込方法で書込データ0を書込む場合の書込特性を示す図である。

第7図は従来の書込方法で書込データ1を書込む場合の書込特性を示す図である。

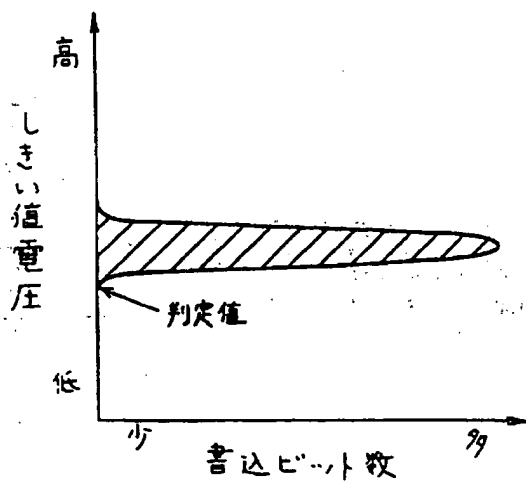
第8図は従来の書込方法で書込データ0を書込む場合のビットのしきい値電圧の分布を書込ビット数に対して示す図である。

図において、1はEPRROM、2はデータ信号線、3はアドレス信号線、4は書込信号線、5は読出信号線、6、7、8はコントロール信号線、12はビットバス信号線、14はアドレスバス信号線、31、3nはドライバ・コンプレータ回路、41、4nはゲート、51はEOR回路、61、

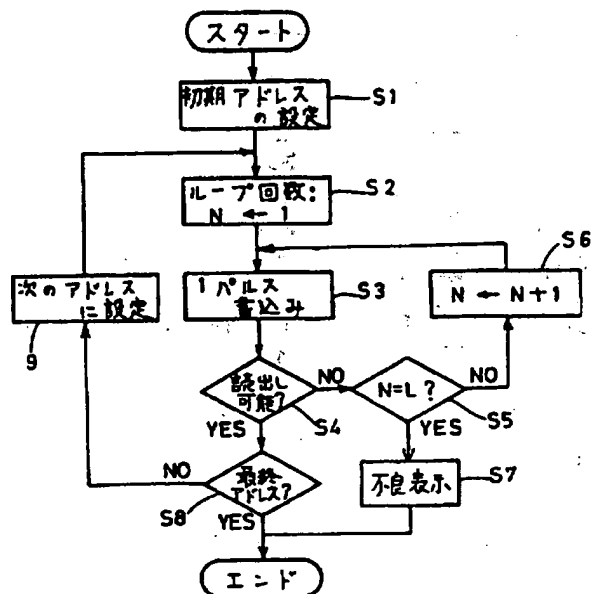
第1図



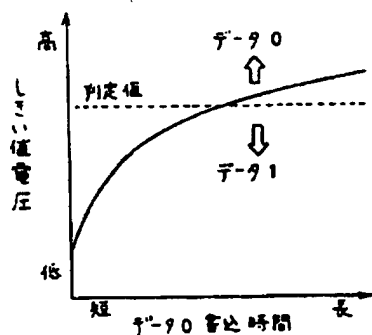
第4図



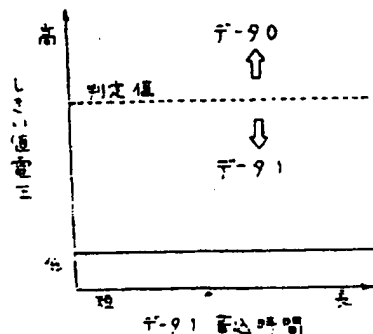
第5図



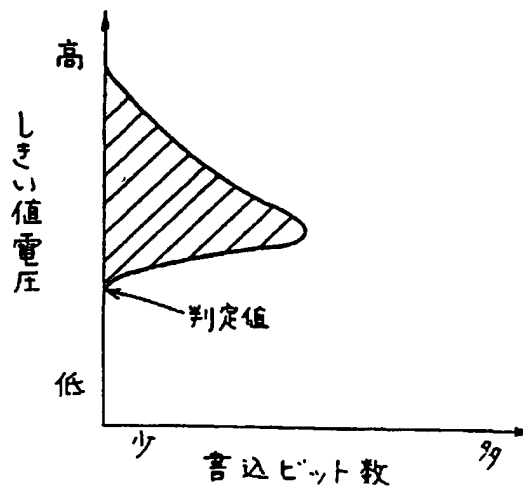
第6図



第7図



第8図



手続補正書(自発)

昭和 61 年 8 月 4 日

特許庁長官殿



1. 事件の表示 特願昭 61-31125号

2. 発明の名称

紫外線消去型プログラマブルROMの書込方法

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 片山 隆夫
志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書の第10頁第17行、第18行、
第13頁第14行および第16頁第16行の「デ
ータピン111」を「書込データ信号線111」
に訂正する。

(2) 明細書第13頁第4行の「データピン
11n」を「書込データ信号線11n」に訂正す
る。

以上



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.